

21

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2889932号

(45) 発行日 平成11年(1999) 5月10日

(24) 登録日 平成11年(1999) 2月26日

(51) Int. Cl.⁴

識別記号

F I

G 0 6 F 15/163

G 0 6 F 15/16

3 1 0 V

請求項の数19(全 22 頁)

(21) 出願番号	特願平2-91990	(73) 特許権者	999999999 ディジタル イクイブメント コーポレーション アメリカ合衆国 テキサス州 77070-2698 ヒューストン エス. エイチ. 249-20555
(22) 出願日	平成2年(1990) 4月6日	(72) 発明者	デザイア エイ アウイスジョ アメリカ合衆国 マサチューセッツ州 01606 ウォーチェスター カトメット ストリート 7
(85) 公開番号	特開平3-54859	(72) 発明者	サディッシュ ソマン アメリカ合衆国 マサチューセッツ州 01749 ハドソン 2 コッチェージ ストリート 40
(43) 公開日	平成3年(1991) 3月8日	(74) 代理人	弁理士 中村 稔 (外7名)
審査請求日	平成8年(1996) 10月21日	審査官	石井 茂和
(31) 優先権主張番号	3 3 5 0 4 8		
(32) 優先日	1989年4月7日		
(33) 優先権主張国	米国 (U S)		

最終頁に続く

(54) 【発明の名称】 4ポート付きバケットメモリ制御装置を有する二重経路コンピュータ相互接続システム

1
(57) 【特許請求の範囲】
【請求項1】 a) システムバスを有するCPU或は類似品。
b) バケットバッファ
c) システムバスからバケットバッファへデータのバケットを転送し、またバケットバッファからシステムバスへデータのバケットを転送するデータムーバ、
d) 別のノードへバケットを送信し、また別のノードからバケットを受信する直列リンク、
及び
e) 直列リンクとデータムーバとに結合され、直列リンクによって受信されたバケットをバケットバッファに記憶させ、バケットバッファからのバケットにアクセスして直列リンク上に送信し、バケットの記憶及びバケットへのアクセスと交互配列された要求に基いてバケット

2
バッファ及びデータムーバへアクセスを与えるバケットバッファ読み出し/書き込み制御手段
をそれぞれ具備する複数のノードを有するコンピュータ相互接続システム。
【請求項2】 バケットバッファが少なくとも32ビットのデータ巾の入力/出力ポートを有し、制御手段が32ビット巾と単一ビット巾と変換する手段によって直列リンクと入力/出力ポートとを結合する請求項1記載のシステム。
10 【請求項3】 2つの直列リンクがそれぞれ送信経路と受信経路を含む請求項1記載のシステム。
【請求項4】 一方の直列リンクがバケットを送信或は受信すると同時に他方の直列リンクがバケットを送信或は受信する請求項3記載のシステム。
【請求項5】 各ノードが、読み出し/書き込み制御手段

3

の制御の下にバケットバッファにアクセスするように結合されたポートプロセッサを含む請求項 1 記載のシステム。

【請求項 6】制御手段が、データムーバによってバケットバッファへ転送される或はバケットバッファによってデータムーバへ転送されるデータを保持する駐留用レジスタを含む請求項 1 記載のシステム。

【請求項 7】バケットは、バケットバッファの複数の各読み出し／書き込みサイクル当り 1 語の複数の語として転送される請求項 6 記載のシステム。

【請求項 8】直列リンク及びポートプロセッサは交互配列されたサイクル中にバケットバッファにアクセスし、直列リンクは隣接するサイクルではバケットバッファにアクセスせず、ポートプロセッサは隣接するサイクルではバケットバッファにアクセスしない請求項 5 記載のシステム。

【請求項 9】CPU 及びバケットメモリをそれぞれ有し直列リンクによって接続されている複数のノード間をバケットデータ通信する方法であって、

a) バケットメモリの複数の第 1 アクセスサイクル中に語のシーケンスをバケットメモリ内へ書き込むことによって、あるノードの CPU からの送信バケットをバケットメモリを送り、

b) バケットメモリの複数の第 2 アクセスサイクル中にノードのバケットメモリからの複数の語を読み出すことによって、別のノードの 1 つへ送信するための送信バケットを直列リンクへ転送し、

c) 直列リンク上の受信バケットを受信して受信バケットを語にアクセスし、バケットメモリの複数の第 3 アクセスサイクル中にノードのバケットメモリへ書き込み、

d) バケットメモリの複数の第 4 アクセスサイクル中に処理手段によってバケットメモリ内の送信バケット或は受信バケットの語にアクセスし、

e) バケットメモリの複数の第 5 アクセスサイクル中にバケットメモリから語のシーケンスを読み出すことによって受信バケットを CPU へ送り、

f) 第 1、第 2、第 3、第 4 或は第 5 アクセスサイクルの少なくとも若干を交互配列する方法。

【請求項 10】第 2 アクセスサイクルは決して連続せず、第 3 アクセスサイクルは決して連続しない請求項 9 記載の方法。

【請求項 11】第 2 アクセスサイクルは決して第 3 アクセスサイクルの直後に続かず、第 3 アクセスサイクルは決して第 2 アクセスサイクルの直後に続かない請求項 10 記載の方法。

【請求項 12】全てのアクセスサイクルが要求に応じて実行され、優先権が第 2 及び第 3 アクセスサイクルに与えられ、次位優先権が第 4 アクセスサイクルに与えられる請求項 9 記載の方法。

4

【請求項 13】CPU からバケットメモリへ或はバケットメモリから CPU へ送る際に語を一時的に記憶する段階を含む請求項 12 記載の方法。

【請求項 14】1 つの第 2 或は第 3 サイクルの時間長が、1 つの語を直列送信する時間長の約 1/4 よりも長くはない請求項 9 記載の方法。

【請求項 15】語が少なくとも 32 ビット巾である請求項 14 記載の方法。

【請求項 16】任意のサイクル中に書き込みを要求し、第 2 或は第 3 サイクルの 1 つが実行中であるか否かによって決定される複数サイクル後にその書き込みが実行されることによって、処理手段が第 4 サイクル中に語にアクセスする請求項 9 記載の方法。

【請求項 17】任意サイクル中に読み出しを要求し、第 2 或は第 3 サイクルの 1 つが実行中であるか否かには拘わらない固定されたサイクル数の後にその読み出しからデータが引渡されることによって、処理手段が第 4 サイクル中に語にアクセスする請求項 16 記載の方法。

【請求項 18】固定サイクル数後に引渡するために読み出しからのデータを駐留させる段階を含む請求項 17 記載の方法。

【請求項 19】転送段階が語の直列化を含む請求項 9 記載の方法。

【発明の詳細な説明】

【発明の分野】

本発明はコンピュータ相互接続システムに関し、より特定的にはコンピュータノード間の二重直列データ経路を使用するバケット通信システムに関する。

【背景】

合衆国特許 4,777,595 号、同 4,560,985 号、同 4,490,785 号、及び 1987 年 10 月 16 日にディジタル・イクイップメント・コーポレーションから出願された連番 109,503 号、110,009 号、110,513 号には、直列経路を使用するバケットデータ転送を使用する型のコンピュータ相互接続システムが示されている。これらの型のコンピュータ相互接続システムは VAX アーキテクチャのプロセッサ及び大容量記憶装置に対して商業的に使用され、高性能及び高信頼性の汎用システムを提供している。しかし、付加的機能、コンピュータ装置の広範な両立性、高速、低価格、より大きい回路網及び高信頼性（データ及びハードウェアの両者）に対する要求の増加に伴って、この型の相互接続システムの更なる開発が不可避である。

この型の回路網内の任意のノードによって開始されたバケット転送の完了見込みは、直列データチャネルが解放されているか否か、即ち別の転送のために使用されていないか否かに依り、また宛先ノード自体が使用されておらずバケットを受信する準備が整っているか否かに依る。この見込みは 1 以上の直列データチャネルによってノードを相互接続することによって増大させることができる。また 1 以上の直列データチャネルを設ける

5

ことによって、同時に1以上のチャンネル上で同時受信及び送信の両方又は何れか一方を行うことが可能となる。従来の若干のこの型のパケット通信システムは各ノード毎に2つの伝送チャンネルを含んでいたが、これらは同時使用のためにはなく冗長度の目的のためのものであり、従って信頼性は高められるが最高データ転送速度は改善されていない。

データの同時送信及び受信の両方又は何れか一方は、単に直列ポート即ち通信アダプタに付随する全てのポートハードウェアを同一化することによって、直列データリンクに提供されて来た。これは、より高価になり、より大きい空間を占有し、より多くの電力を消費するだけではなく、ポートはホストコンピュータによって別々にアドレスしなければならない。即ち、多重同時経路をホストコンピュータに対して透明ならしめることが好ましい。

パケットデータ流をこの型のシステム内のあるノードにおいて送信或は受信しつつある時には、データ流を送信機へ供給する、或は受信機からの到来データ流を受入れるためにそのノードによって使用されるデータ取扱い回路は、許容されないバス要求等に基く機能停止或は遅延の可能性をもたらすことなく転送を実行できなければならない。受信或は送信中の機能停止は、パケットを廃棄及び再送しなければならないことを意味する。あるノードにおいてパケットを受信しようとしている時点は知られておらず、別のパケットが直ちに接続するかも知れないので、受信済パケットは受信機からホストコンピュータへ迅速に移動させなければならない。

本発明の主目的は、改良されたコンピュータ相互接続システム、特にノード間の二重経路を同時に使用することによって性能を向上せしめたコンピュータ相互接続システムを提供することである。別の目的は、1つのノードから別のノードへの伝送経路を有効利用する大きい可能性を達成し、しかもシステムの構成要素部品を不要に重複させることがない改良された高速コンピュータ相互接続システムを提供することである。更に別の目的は、二重経路によって同時送信及び受信の両方又は何れか一方を可能ならしめ、しかも二重経路の一方或は他方の使用をホストコンピュータに対して透明ならしめた二重経路パケットデータ通信システムを提供することである。付加的な目的は、2或はそれ以上の直列チャンネルを介する高性能二重同時操作を取扱うのに適するパケットデータ送信及び受信システムを提供することである。

〔発明の概要〕

本発明の一実施例によれば、コンピュータ相互接続システムは同時に活動できる二重経路によるパケットデータ転送を使用する。ノード或はコンピュータは中央ハブを通してこれらの直列データ経路によって星状ネットワークに接続されている。中央ハブは、パケット内のアドレスを検出して源ノードから宛先ノードまでの経路を確

6

立できる。送信すべきパケット或は受信中のパケットを一時的に記憶するために、パケットバッファを使用する。パケットバッファへのワイドワード（例えば32ビット）アクセスポートを、このポートをアクセスする際にビット直列に或はビット直列から変化するための変換器と共に使用することによって、高速直列経路のデータ転送速度をこのパケットバッファのためのすきまのあるアクセスサイクルに合わせる事ができる。パケットバッファへのアクセスを割当てる際に直列経路の或は直列経路からのデータののためのアクセスサイクルに対して優先順位が与えられるので、直列リンクのビットレートでのデータの引渡しに関しては機能停止の要はない。CPU或はCPUからデータを移動させるタスクは、パケットバッファへのアクセスのスケジュールにおける二次優先順位が与えられるが、そうではあってもパケットを局部的に処理してそれらをパケットバッファの外へ移動させて新しく到来するデータパケットを収容するために充分な時間は存在する。通常、ポートプロセッサは直列経路及びデータ移動機能の他にパケットバッファをアクセスし、このポートプロセッサのためのアクセスサイクルは他の必要アクセスと交互に配置されているが直列経路アクセスよりも優先順位は低い。例えば、ポートプロセッサは、アドレス、コマンドフィールド、及び他の定義情報配置されているパケットの見出しを検査するために使用する（この情報はパケットがまだパケットバッファ内にある時に検査され、そのパケットをポートプロセッサへ移動させるか否かを決定する）。これら全ての型のアクセスは通常の要求/許可裁定を必要とせずにスケジュールされ、直列経路は要求すれば無条件アクセスが与えられるが1つ置きのサイクル上に頻繁にアクセスすることはできない。もし直列経路もアクセスを必要としていれば介入サイクルを常に許す一定遅延アクセスがポートプロセッサに与えられる。また、ポートプロセッサは続くアクセスサイクルでパケットバッファへアクセスできない。ホストコンピュータへ、或はホストコンピュータからデータ移動のタスクは、他の2つの機能によって占有されていないサイクルを使用する。従ってパケットバッファのサイクル時間はこれらの全ての統合機能を収容するのに充分に速くなければならない。標準的な型の要求/許可裁定を行わずに、上述のようにしてデータムーバ及びポートプロセッサにパケットバッファをアクセス可能ならしめるために、運転中のデータは転送が実行される前に条件付きでバッファ即ち駐留させられてサイクルの介入を可能にしている。

〔実施例〕

本発明の特徴と信ぜられる新規なる特色は特許請求の範囲に記載されている。しかし、本発明自体及び他の特色及びその長所は以下の添付図面に基く特定実施例の説明から理解することができる。

第1図は本発明の特色を実現するために、同時送信及

び受信の両方或は何れかを一方を行う二重経路を使用したパケット型のコンピュータ相互接続システムを示し、本システムはメッセージを生成し、受信できる複数のCPU0或は類似のプロセッサ型装置を有する。ノード即ちCPU0はディスク制御装置、高速プリンタ装置、或はこの型の他の資源、並びに高性能データプロセッサであって、各CPU0はシステムバス12によって通信アダプタ11に結合されている。CPU0が例えばVAX/Vキテクチャ標準を使用している場合には、バス12は同じ64ビットの多重化アドレス/データバス、及びVAX CPUが主メモリ及び他のこのような局所資源をアクセスするために使用する制御バスを含み得る。このコンピュータ相互接続システムにおいては、数百或は数千という多数のこれらCPU0を設置することが可能であるが、簡略化のために3つのCPU0だけを示している。各通信アダプタ11は2つの直列リンクA及びBからなる二重通信経路に接続されている。各チャネル即ちリンクAは直列受信ライン13及び直列送信ライン14を、また各リンクBは直列受信ライン15及び直列送信ライン16を有している。全ての直列リンクAは中央ハブ即ち分配ノード17に接続され、また全ての直列リンクBはハブ18に接続されている。ハブ17及び18は能動相互接続メカニズムであってよく、その場合にはそれらはクロスバスイッチとして機能し、直接リンクA或はBの一方上に送信されるメッセージパケット内のアドレスによって要求されるアダプタ11の一方と他方との間を直接接続を行う。

二重経路直列リンクA或はB上で送受信されるメッセージパケット20の書式は、デジタル・エキップメント・コーポレーションの合衆国特許4,777,595号に記載され、また第2図に示してある。パケット20は同期部分21、見出し及び情報部分22、及び終端部23を含む。同期部分及び終端部は通信アダプタ11によって付加され、見出し及び情報パケット22はあるノードに対してホストコンピュータ或はCPU0内で生成される。見出し及び情報部分22は約10からある実施例における約4,100バイトまでの長さの整数のバイトからなる。パケット20の各バイトはマンチェスタコーディングを使用してリンクA或はB上でビット直列で送信される。直列リンクA或はB上の伝送速度は、例えば70Mビット/秒、即ち114.28ナノ秒/バイトである。同期部分21は、7のような固定数の1バイト文字同期文字(例えば16進数の55)とそれに続く1バイト文字同期(例えば16進数の96)を含み、受信アダプタ11に到来メッセージの同期を確認可能なしめ、またビット及び文字境界に同期したクロックを再生成するように機能する。終端部23は、源ノードにより生成された32ビットCRCを含む。CRCは、見出し及び情報部分22内の全てのビットの機能を計算して受信したデータの完全性を検査するために受信ノードによって使用される。終端部23は、単にメッセージパケットの終りを指定するように機能する複数の終端部文字で終る。パケット

20は、リンクA及びB上で、ワイヤリング上に搬送波が存在しない間隔によって離間されて非同期的に伝送される。

第2図のパケット20の見出し及び情報部分22は、どの型のメッセージが送信されつつあるかを指定する型フィールド即ちコマンドフィールド24と、それに続いてバイトの数で表わされるメッセージの長さを指定する長さフィールド25とを含む。アドレスフィールド26は(源ノードの)CPU0がデータを送ることを要求する宛先アドレスを指定し、この宛先アドレスは信頼性を増すために同一アドレスの補数として第2のフィールド27内に反置される。源アドレス(データを送りつつあるノードのアドレス)はフィールド28内に包含されている。これらのアドレスは、使用するソフトウェアに依存して絶対アドレス或は別名であってよい。アドレスフィールドの大きさはネットワーク内で独特にアドレス可能なノードの数を決定する(1バイトのアドレスフィールドは256ノードをアドレスできる)。これらのフィールド24乃至28がパケットの“見出し”を構成する。パケット20のアドレスに接続されるのはデータフィールド29であり、その長さは0乃至4089バイトであり得る。肯定応答パケットは第2図のパケット20と同一の書式であるが、そのデータフィールド29の長さは0であり、長さフィールド25は有していない。肯定応答パケットの型フィールド24は肯定応答に対するあるコード及び否定応答即ちNAKに対する別のコードを有する。

第1図に示す如き直列リンクA及びBに沿ってデータパケット20を輸送するために使用される媒体は同軸ライン対13及び14、或は15及び16である。即ち、4本の同軸ケーブル(各チャネル毎に2本)が各ノードを接続しているのである。しかし、光ファイバ或はツイストペアケーブルのような他の媒体を代りに使用できることを理解されたい。同様に、ネットワークは他のネットワークへのブリッジを含むことが可能であり、また上述のクロスバスイッチ以外の相互接続配列を使用することが可能である。

第1図の二重経路コンピュータ相互接続システムにおいては、何れかのCPU0はハブ17或は18を介して2つの異なる連隔CPU0へパケット20を同時に送信することができ、或は2つの連隔CPU0から2つの異なるパケット20を同時に受信することができ、或はパケット20をリンクAで送信しながらパケット20をリンクBから受信する(或はその逆も)ことができる。即ち、CPU0が特定連隔CPU0に向かわせるべくハブ17或は18へメッセージパケット20を送る時、アドレスしたCPU0のための直列リンクA或はBが受信のために使用されていない確率は、1本の経路だけが存在する場合より遙かに高い。もしメッセージパケット20が1つのCPU0によってリンクA或はB上に送出され、ハブ17或は18がアドレスされた連隔CPU0への経路が使用されていることを見出せば、そ

9

のバケット20は廃棄され、再送信しなければならない。
(アダプタ11が出力ライン14または16上へ送信している
時、このアダプタは同時にその到来受信ライン13または15
上の搬送波を検出し、バケット20をこのバケットによっ
てアドレスされた遠隔CPU10に送出できない時には能動
ハブはこの受信ライン13または15上へ「流れ制御」信号を
送出している。)従ってバケット20の送信を、完了前に
打ち切ることができる。もし能動ハブ17または18によって企
図した遠隔CPU10への接続がなされれば、所与のCPU10に
よって送信されるバケット20は能動ハブ17または18を介し
てアドレスされた宛先へ送られ、次で肯定応答バケット
がこの遠隔CPUから送り戻され受信ライン13または15を介
して前記所与のCPUへ導かれる。

能動ハブ17内の回路は、見出し21を検出することによ
って何れかのライン14または16上の送信されたバケット20
の存在を検出し、フィールド26及び27から宛先アドレス
を決定し、アドレスされた宛先ノードが使用されていない
リンクAまたはBがあるか否かを検査し、もしあればバ
ケットをそのノードへ送るべく接続を行う機能を進行で
きる。リンクA及びBはCPU10の立場から交換可能であ
る。1本の代りに2本の直列リンクA及びBを有する理
由は、一方が使用されていない確率を高めて、平均遅延
時間或は必要な再試行回数を減少せしめるためである。
任意時点には、ハブ17または18を通して複数のノード対間
に幾つかの完了した接続が存在していよう。ハブ17または
18は、1987年10月16日付で合衆国へ同時出願された一連
番号109,503号、110,009号及び110,513号(何れもミ
ニマル・エキップメント・コーポレーション)に記載
されている技法で、或は第7図及び第8図を参照して後
述するように構成することができる。

アダプタ11の詳細を第3図に示す。ワイヤインタフ
ース回路30は直列リンクA及びBの送信及び受信ワイヤ
13, 14, 15及び16への接続を行う。他方の端において、
バスインタフェース回路31はバス21をアダプタ回路へ結
合する。バス12は64ビットの多重化アドレス/データバ
ス12a及び制御バス12bを含む。このバス12は、例えば主
メモリ、及び他の種々の資源にアクセスするためにCPU
10も使用するので、アダプタ11はこのバスを共用しなけ
ればならない。データムーバA及びBと呼ぶ2つのDMA
回路32及び33は、メモリ制御装置35を使用してデー
タをデータバス12aと(インタフェース31を介して)バケ
ットバッファメモリ34との間で移動させるために使用さ
れる。データムーバA32はデータのブロックをCPU10から
バケットバッファ34へ転送するために使用され、データ
ムーバB33はデータのブロックを他の方向へ、即ちバケ
ットバッファ34からCPU10へ転送するために使用され
る。各データムーバ32及び33は4つの64ビット倍長語
(ダブルワード)を保持するバッファを含み、バス12へ
のアクセスとバケットバッファ34へのアクセスとを別々
の時間に定めることができる。ポートプロセッサ36は、

10

EPROM及びRAM部分を有するプログラム記憶装置37内に記
憶されているプログラムの制御の下に、アダプタ11の内
部動作を規定する。メモリ制御回路35は、後述するよう
に出力及び到来データバケットの転送を裁定し、指令
し、これらのバケットをバケットバッファ34内に一時的
に記憶させるように機能する。

バケットバッファ34はAまたはB受信ラインから受信し
たデータのバケットのための一時記憶装置として機能す
る。これらのバケットはバケットバッファからCPU10へ
或はその主メモリへデータムーバB及びデータバス12a
によって移動される。同様に、バケットバッファ34はA
またはB送信ライン14または16の何れかによって送信され
ようとするバケットのための一時記憶装置として機能す
る。この場合には、バケットはデータバス12a及びデー
タムーバAを介してCPU10からバケットバッファへ送ら
れる。バケットバッファ34は、32ビットデータバス40、
13ビットアドレスバス41、及び制御ライン42によってメ
モリ制御回路35へ接続されている。本実施例におけるバ
ケットバッファ34の大きさは8クロックワードである(但
しクロックワードは32ビット、即ち2つの16ビット語、或
は4バイトである)。データは、チャンネルAデータ受信
ライン13に関してはバイト巾の受信データバス43によっ
て、またチャンネルBデータ受信ライン15に関してはバ
イト巾受信データバス44によってワイヤインタフェース回
路30からメモリ制御回路35(及びバケットバッファ)へ
転送される。同様に、送信データは、チャンネルAにおい
ては送信データバス45を介して、またチャンネルBにおい
ては送信データバス46を介して並列にワイヤインタフ
ース回路30へ転送される。

ワイヤインタフェース回路30は、A及びBの各チャネ
ル毎に、出力データに対しては並列直列変換器47を、ま
た到来データに対しては直列並列変換器48を含む。同様
に、各出力経路は2進・マンチェスタコード変換器50を
含み、各到来受信データ経路はマンチェスタ・2進コー
ド変換器51を含む。クロックは、クロック検出器回路52
を使用して各チャネルAまたはBの到来信号から取出され
る。このワイヤインタフェース回路30に使用するのに適
するマンチェスタ・2進デコード及びクロック検出器回
路の一例は、デジタル・エキップメント・コーポレ
ーションの合衆国特許4,592,072号に示されている。ラ
イン13及び15上の出力送信バケットは変換器47及び50へ
印加される局部70MHzビット/秒クロック発振器によっ
てクロックされる。ワイヤインタフェース回路30の制御
は、メモリ制御回路から制御バス53を通して状態機械と
して動作する制御回路54へ印加されるコマンドによる。
各チャネル毎の検出器55は、受信ライン13または15上の搬
送波の存在を検出して制御回路54へ搬送波検出信号を供
給し、また(制御回路54によって動作可能となつた後
に)バケット20のビット同期文字に続く文字同期フィー
ルドの存在を検出するように機能する。こうして、到来

11

パケットにより先ず搬送波検出信号が制御回路54へ送られ、次いでもし制御回路54が検出器55へ可能化信号を送れば、文字同期バイトにより同期信号が制御回路54へ送られ、このとき制御回路54は直列並列レジスタ48に指令してクロック検出器52から出てきたクロックによって決まるクロックレートでデータビットのクロッキングを開始する。8クロック(8ビット)後、データのあるバイトがメモリ制御回路35へ転送するためにバス43或は44へロードされる。メモリ制御回路35には、パケットバッファ34に32ビットのロングワードを書き込むまでに、これらのバイトの4つが累積される。ライン13或は15上のデータ転送速度は例えば70Mビット/秒(114.28ナノ秒/バイト)であるから、パケットバッファ34への書き込み動作には(32×114.28)/8の速度即ち456ナノ秒に1回でよい。バス40〜42を介するパケットバッファ34の読み出し或は書き込みのためのサイクル時間はこの値の約1/8(例えば64ナノ秒/サイクル)に過ぎないから、パケットバッファへの機能のためにアクセスするための時間は充分に存在する。即ち、1つのチャネル上のパケット受信にサービスするために必要なバス40上のアクセスサイクルは7番目或は8番目のサイクルである。出パケットも同様に取扱われる。即ち、32ビットロングワードはバス40〜42を介してパケットバッファ34から読み出され、次でバス45或は46を介して変換器47の1つへ送られ(一時にバイト或はニブル)、クロック検出器52からのクロックではなく局部クロックを使用して70Mビット/秒(14.285ナノ秒/ビット)の速度で2進・マンチェスタ変換器50からクロックアウトされる。両方チャネルA及びBを使用する同時受信(及び送信の両方或は何れか一方)には、ワイヤインタフェース30への、或はワイヤインタフェース30からの転送のためにパケットバッファバス40上で利用可能なアクセスサイクルの約1/4しか必要としない。

メモリ制御回路35、ワイヤインタフェース30、及びデータムバ32及び33の動作はポートプロセッサ36によって制御される。ポートプロセッサ36は、市販の高速RISC型マイクロプロセッサからなっている、或はネットワークの特定プロトコル或は応用に対して特別に適合させてもよい。このプロセッサ36は、アドレスバス56、データバス57及び制御バス58によってそのプログラム記憶装置(メモリ)37にアクセスする。また局部メモリ59は内部データバス60によってアクセスされる。バス60は、メモリ制御回路35内の種々の制御レジスタ或はステータスレジスタに書き込む、或はそれらから読み出すためにプロセッサ36によって使用される。局部メモリ59は単に、要求に応じて、若干の一時的に使用される或は可変アドレス或はノード特性を記憶するだけである。このメモリ59は、プロセッサ36だけがアドレスバス61を介してアドレスする。プロセッサ36は、制御バス63によってメモリ制御回路35及びデータムバ32制御回路62へ制御信号或は

12

コマンド信号を送り、これらの制御回路からこれらの信号を受信する。ポートプロセッサ36は、データバス60、8ビットのアドレスバス67、及び制御バス63によってメモリ制御回路35内の種々のアドレスレジスタ及び制御レジスタにアクセスする。プロセッサ36からのコマンドにより、メモリ制御回路35からのコマンドにより、そしてシステム制御バス12b、制御バス64を介してCPU0からのコマンドによって制御回路62は選択されたデータムバ32を作動し、一方の側の64ビットデータバス65或は他方の側のメモリ制御回路35へ行く32ビットデータバス66を使用して4つの倍長語(データの4つの64ビットセグメントのブロック)のDMA転送を実行する。即ち、データムバAの一つの機能はバス12aからの64ビット市のデータ書き込みを32ビットに変換してバス66を介してパケットバッファ34内へ転送することであり、同様にデータムバBはバス66を介してパケットバッファ34から2つの32ビットロングワードを受けてバス65を介して1つの64ビット倍長語をバス12aに送る。これらの転送は4つの群、即ち4×64ビット(4×8即ち32バイト)で行われ、各群間にはある待機期間が存在する。これはCPU0バスを長期に亘って結合するのを回避するためであり、またブロック移動が8×32ビット置きに平均1回のパケットバッファアクセスで行われる限り、パケットバッファ34を送信データで再補填する或は受信データを枯渇させるには充分である。

第4図はメモリ制御回路35の構造の詳細を示す。この回路は、パケットバッファデータバス40、パケットバッファアドレスバス41、ポートデータバス60、データムババス66、及び送信及び受信バス43、44、45及び46へのアクセスを制御する。パケットバッファ34はこれらの異なる機能要素に対してポートを有しており、これらは全てパケットバッファへのアクセスを有していなければならない。これらの4つの機能要素は、(1)データを送受信するためのワイヤインタフェース、(2)CPU0からの送信データを入力させるデータムバA、(3)受信したパケットをCPU0へ送出するデータムバB、及び(4)データがパケットバッファ内にある間にアドレスを検査し、またデータの送受信を取扱うポートプロセッサ36である。パケットバッファのためのアドレスバス41は、これら4つの機能のための4つの入力を持つマルチプレクサ70によって駆動される。これら4つの機能の中の3つの機能のためのアドレスカウンタ71、72及び73はマルチプレクサ70への入力74、75及び76を供給する。カウンタ71はCPU0へデータを送るためにデータムバBによって使用されるパケットバッファアドレスを保持し、カウンタ72はCPU0からパケットバッファへ送られるデータのためのデータムバAのためにパケットバッファアドレスを保持する。カウンタ73は、書き込み或は読み出しのためにパケットバッファにアクセスするポートプロセッサ36によって使用されるアドレスを保持す

13

る。これらの各カウンタは、例えばブロック移動に関し
て反復する読み出し或は隣接位置への書き込みの各サイ
クル毎に自動的にインクリメントされる。アドレスカウ
ンタ71、72及び73は、選択のためのアドレスバス67を使
用して入力バス77を介してポートプロセッサ36によって
書き込まれる。同様に、これらのアドレスカウンタは前
述のようにバス74、75及び76（アドレスバス67によって
選択される）からの入力79を受けるマルチプレクサ78を
介してポートプロセッサによって読み出される。マルチ
プレクサ78の出力はセクタ81及び82を介してポートデ
ータバス60へ結合される。マルチプレクサ70を介するバ
ス41のための他のアドレス入力は送信/受信制御回路86
内の1対のアドレスレジスタ84及び85からの入力83によ
る。これらのアドレスレジスタは、ポートバス60及びア
ドレスレジスタ71〜73に書き込むのに使用されるものと
同一の内部バス87を介してプロセッサ36によって書き込
むことも、或は選択用バス67を使用してバス88、マルチ
プレクサ78及びセクタ81及び82を介してプロセッサ36
によって読み出すこともできる。

第4図にはパケットバッファのメモリマップ89も示し
てあり、記憶域の8Kロングワードは受信データのための
ゾーン1及びゾーン2及び送信を待機しているデータの
パケットのための送信ゾーンに分割されている。ゾーン
1及び2の大きさはそれぞれ2Kロングワードであってよ
い。カウンタレジスタ71は常に送信ゾーンをアドレ
スし、カウンタレジスタ72、84及び85はメモリマップ89の
ゾーン1及びゾーン2領域をアドレスする。後述するゾ
ーン管理者回路は受信データをこれらのゾーンへ書き込
む方式を制御する。

第4図のメモリ制御回路はデータムーババス66とパケ
ットバッファバス40との間の経路を規定する。データム
ーバA内の8×64ビットパケットからの32ビットロング
ワード内のデータはパケットバス90へ印加され、各
32ビットロングワードはバス91及びマルチプレクサ92を
介してパケットバッファへ書き込まれるまで1サイクル
の間レジスタ90へ駐留する。同様に、バス40上のパ
ケットバッファからのデータは駐留用レジスタ93或は94
内に保持される。レジスタ93及び94はバス95からの入力
と、ポート内部バス60或はデータムーババス66への出
力、96及び97を有している。パケットバッファデータの
ための駐留用レジスタ93からの出力96はセクタ81及び
82を介してバス60に結合される。バス66を介してデー
タムーバBへ行くデータはセクタ99によってバス98に結
合される。セクタ99の一方の入力はバス97を介して駐
留用レジスタ94からのものであり、他方の入力は駐留用
レジスタ100からのものである。レジスタ100は、もしバ
ス66が話中であれば、バス87からデータムーバBへ送ら
れるデータの32ビットロングワードを保持する。

第4図のパケットバッファバス40は、ポートバスレ
ジスタ93及びデータムーバ用レジスタ94へデータを供給

14

可能であり、またバス95を介してワイヤインタフェース
回路30へ行く送信バス45及び46へデータを供給する。バ
ス40及び95はビットバスであるから、このデータは結合
器101及び102内に線維されて32ビット市データへの代りに
パット或はニブルが供給される。バス40及び95は、バス
45及び46よりも4或は8倍短い（及びワイヤ14及び16上
で32ビットのデータを転送するのに要する時間よりも約
32倍短い）サイクル時間を有する。バス43及び44上の到
来データも同様に結合器103及び104内に線維されてパイ
ト巾から32ビット巾に変えられ、次でセクタ105及び
バス106によってマルチプレクサ92へ接続される。従っ
てプロセッサ36の任意機械サイクル或はパケットバッ
ファ34のバスサイクルにおいて、パケットバッファは32ビ
ットロングワードのデータを（1）結合器101或は102
へ、或は（2）このサイクル或は次のサイクルにバス60
を介してプロセッサ36へ供給するためにレジスタ93へ、
或は（3）このサイクル或は次のサイクルにバス66を介
してデータムーバBへ供給するためにレジスタ94へ供給
できる。或は変形として、パケットバッファは32ビッ
ットロングワードを（1）結合器103或は104から、或は
（2）バス66及び入力91を介してデータムーバAから、
或は（3）バス60及びバス87を介してプロセッサ36か
ら（書き込みのために）受信することができる（全てマ
ルチプレクサ92を通して受信される）。

任意のサイクル中にデータの源或は宛先は何れを使
用するかの裁定と制御は、第4のメモリ制御回路内の裁定
及び制御回路108内で決定される。回路108はパケットバ
ッファ34に、マルチプレクサ70及びバス42を介してアド
レスを、またバス42を介して読み出し或は書き込み制御
を供給し、またバス40と上述の他の要素との間のデータ
経路を確立するように機能する。この目的のために制
御回路108は各セクタ即ちマルチプレクサ70、78、8
1、82、92、99及び105へこれらが使用される機械サイ
クル中に制御信号を供給し（図示せず）、種々のレジス
タ或はバスにロードし、或は読み出しを行なう。制御回路10
8は順次読み出し或は書き込み、即ちブロック移動中に
カウンタレジスタ71〜73或は84及び85のインクリメント
をトリガする。

データムーバBを介してパケットバッファ34およびCP
U10からデータ転送を必要とする時（例えばパケットを
受信してパケットバッファ内に記憶させる時）、ポート
プロセッサ36はあるルーチンを実行する。即ち先ずこの
パケットの始めアドレスをレジスタ71内へロードし（従
ってアドレスされたデータをパケットバッファからレジ
スタ94へ取り込み始める）、次いでバス63上に発行され
るコマンドによって制御が裁定及び制御回路108及びム
ーバ制御回路62へ転送される。制御回路62は、制御回路
108からバス63のあるライン上に供給される。“読み出
しムーババッファ作動可能”コマンドを受け、ムーバB
が作動可能である場合には（ムーバBは制御バス64を介

15

してバスアクセスを要求し、CPUデータバス12aの使用を取得しなければならぬ。バス63を介してメモリ制御回路108へ“読み出しムーバ転送ゴー”コマンドを供給する。制御回路108は“読み出しムーババッファ作動可能”コマンドをクリアし、バケットバス34から取り込んだ32ビットロングワードを第4図の経路95、94、97、99、98を介してバス66へ配置する。もしバス66が途中であれば、或は未だにゴー信号が供給されなければ、このデータは駐留用レジスタ94内に保持することができる。アドレスレジスタ71は制御回路108によってインクリメントされ、“作動可能”及び“ゴー”シーケンスが再び開始される。ムーバAは、このようにして転送された8つのロングワードをアセンブルしてそれらを内部4×64ビットバッファ内に記憶し、次いでこの内部バッファがいっぱいになると通常はCPUの主メモリへのDMAによってCPU108へロングワード書き込みを試み、CPUバスへのアクセスが与えられ書き込みが完了している場合には、“ゴー”を再び供給することができる。プロセッサ36がバケットの開始及び終了アドレスのトラックを保持しており、また制御回路108内のカウントレジスタもロードしているから、このカウントに達すると、即ち受信した全データバケットが転送されてしまうと、シーケンスは終了する。

書き込みムーバAを介してCPU10からバケットバッファ34へ転送を必要とする時(例えばCPU10が送信するメッセージを有する時)には、CPU10は先ずバス65を介してコマンドロングワードをムーバA内の内部レジスタへ書き込み、次いで制御回路62はこのコマンドを復号してバス63を介して要求を供給する。ポートプロセッサ36はこの要求に応答して新バケットに適するレジスタ72へP8開始アドレスをロードすることによってデータ移動を開始し、制御を制御回路108へ転送する。制御回路108はバス63を介して“書き込みムーババッファ作動可能”信号を制御回路62へ供給してデータをバス66へ送ることが可能であることを指示する。制御回路62は、レジスタ転送及びバケットバッファ転送のためのバス66を裁定することによって空きバスサイクルを検出すると、データの最初の32ビットロングワードをバス66に配置し、“書き込みムーバ転送ゴー”信号を供給して制御回路108にレジスタ90を通してバス66からデータを取得せしめ、それをレジスタ72によって規定されたアドレスされた位置にバス91及びセレクタ92を通して書き込む。もしバス40が途中であれば、データは次の使用されていないバスサイクルまで駐留用レジスタ内に保持される。書き込みが実行されてしまうと、制御回路108は再びバス63を介して制御装置62に“書き込みムーババッファ作動可能”信号を供給し、サイクルが繰返される。

第5図は種々の条件に対するバケットバッファバス40、41、42のアクセスサイクルのタイミング図である。本例におけるアクセスサイクルの長さは64ナノ秒であ

16

り、各アクセスサイクル中にバケットバッファ34への書き込み或は読み出しを行うことができる。ポートプロセッサ36及びワイヤインタフェース30によるバケットバッファへのアクセスは上述のデータムーバ制御回路62よりも高い優先順位である。即ち、もしポートプロセッサ36或はワイヤインタフェースの何れかが第5図のサイクル1中にバケットバッファへのアクセスを要求すれば、データムーバは制御回路108から上述の制御回路62への“作動可能”信号を否定することによって機能停止される。その結果ポートプロセッサ或はワイヤインタフェースの何れかのアクセス時間が固定され、予測可能となる。前述のように送信及び受信データ転送速度は、たとえ両直列経路A及びBが使用中であるとしても、バス43へ46を介して転送されるデータ量がバス40上で利用可能なアクセスサイクルの約1/4しか占有しないような速度であり、またこれらは非隣接サイクルであろう(ワイヤインタフェースは2つの順次サイクルにおいて決して連続要求は行わない)から、もしバス40がワイヤインタフェース転送に関して1サイクル中に話中であっても次のサイクルは使用されてはいない。従ってワイヤインタフェースはチャンネルA及びB上に直列データ流を維持することができ、ポートプロセッサ36によって実行されるコードはバケットバッファ34からデータを所定のアクセスサイクルで受ける。プロセッサ36は最大1つ置きのサイクルにバス40要求を行うことも禁止されている。即ち連続要求は許容されていないのである。

裁定及び制御回路108は、要求/許可プロトコルの必要性を回避するために駐留用レジスタを使用し、メモリバス40サイクルをプロセッサ36及びワイヤインタフェース制御回路86、54に割当て、ワイヤインタフェース制御回路86、54が行う、書き込みメモリアクセスの要求は直ちに叶えられる。このことはポートプロセッサ36に対しても同様であることは明白である。これらの何れかの源からのデータはメモリ制御回路108によって受入れられ、データをリタイヤ(メモリ34へ書き込む)させるのか或は駐留させるのかを決定する。要求は、たとえばプロセッサ36及び制御回路86の両者が同一サイクル中に書き込み要求を行ったとしても、常に求めに応じて受入れられる。“バケットバッファ読み出し”要求も直ちに叶えられ、ワイヤインタフェース制御回路からその要求はその要求に続くサイクル中に実行され、データは次のサイクル中に結合器101或は102へ戻される。プロセッサ36の読み出し要求は遅延なく受入れられ、またこのプロセッサ読み出し要求に対するバス40を介してのメモリ取り込みは次のサイクル或はその後のサイクルの何れかに発生するが、読み出されたデータは駐留用レジスタ94内に保持されているために常に要求の後の第3のサイクルに戻されるので、ポートプロセッサ36は常に固定された遅延で戻りデータを期待できる。メモリ制御回路が同一サイクルにおける制御回路86及びプロセッサ36からの書き込み要

17

求を叶える場合には、プロセッサのためのデータを駐留用レジスタ109内に駐留せしめ、第1メモリサイクル中にワイヤインタフェース結合器10或は104からのデータをリタイヤさせ、次いで次のサイクル中に駐留用レジスタ109からのプロセッサデータをリタイヤさせて制御回路108が更に2つの要求を受入れるべく作動可能ならしめておく。プロセッサ36或はワイヤインタフェース制御回路86、54の何れかが単独に書き込み要求を行った場合にはそれらのデータを第1のサイクル内にリタイヤさせ、必要ならな爾後のサイクルを他のポートに利用可能ならしめる。

駐留用レジスタ90及び94は上述のようにデータムーバインタフェース内でワイヤインタフェース及びプロセッサの優先順位と共に使用される。制御回路62によって送られる“書き込みムーバ転送ゴー”信号はパケットバッファ要求として作用し、書き込みデータがバス66を介してメモリ制御回路35へ送られつつあることを指示する。バス66上のこのデータは制御回路108の制御の下に経路91を介してパケットバッファ内に書き込まれるか(もしプロセッサ要求或はワイヤインタフェース要求がペンディングでなければ)、或は駐留用レジスタ90内に保持されるかの何れであるから、データが失われることはなく、再送の必要も無ければ、レジスタ90が使用されていないことを“作動可能”信号が指示した後は“バス要求、バス許可”裁定の必要も無い。ポートプロセッサ36による読み出しムーバアドレスレジスタ71のローディングは制御回路108へコマンドされ、パケットバッファへアドレスするための読み出しシーケンスが開始される。パケットバッファのためのサイクルが読み出しムーバシーケンスに与えられる場合には、制御回路108はレジスタ71によってアドレスされたパケットバッファからデータを事前に取り込み、それを駐留用レジスタ94内へロードする。ムーバBがこのデータを受信するように作動可能である時は、制御回路62は別の要求として作用する“読み出しムーバ転送ゴー”信号を送る。メモリ制御回路から従来の如き“許可”信号が送られることはない。“読み出しムーバ転送ゴー”信号によってムーバ制御回路62によって要求されたデータは、制御回路62からのこの要求の前に既に駐留用レジスタ90内に記憶されている。制御回路108はこの“ゴー”信号を制御回路62から受信すると駐留用レジスタ90内のデータをバス66上に配置させる。またこの信号は裁定される別のパケットバッファ要求としても作用し、もしこのサイクル中にパケットバッファバスが使用されていないければデータの別のロングワードがムーバBから事前に取り込まれる。この“作動可能”/“ゴー”ハントシェイクが進行するにつれて、制御回路108は、プロセッサ36とワイヤインタフェース制御回路86、54との間の要求競合を解消するためにプロセッサ駐留用レジスタ109を使用しつつ書き込みムーバ駐留用レジスタ90を空に、また読み出しムーバ駐留

18

用レジスタ94を満たし続けようとする。

第4図のメモリマップ89から明白のように、パケットバッファ34の受信部分は受信データが書き込まれる2つのゾーンを有し、これらのゾーンは第6図の同回路の論理部分によって表わされているような技法で制御回路108によって管理される。このゾーン管理の目的は、可変の大きさの2つの直列データ流パケットが同時に到達するようなことがあっても、受信したデータをパケットバッファ34内に一時的に記憶させることである。この管理技術は、たとえバッファが完全に利用されていない場合でもパケットを取扱う容量を減少させてしまう固定された大きさの領域を保留しておく従来技術を回避する。各到来パケット20は、大きくても小さくても同じ始めフィールド24〜28及びCRCを含み、小さいパケットはフィールド29として同量の或はより多くの記述情報を有するかも知れない。即ち、小さいパケットにおいては記述対データ比が高いものと考えられ、大きいパケットではこの比が小さい。小さいパケットはスベースを使用する(もし固定領域が割当てられていれば空費する)だけではなくプロセッサタイムまでも使用する。これは、ポートプロセッサの責任において、プロトコルのどの部分に配置されていようと検査及び導入のためにパケットにアクセスしなければならないからである。上述の固定割当ては、パケットバッファ容量に到達する可能性を増大させるので、それ以上の到来データを受入れることはできずNAKを供給して後刻再送しなければならない。この二重処理はコンピュータタイムを浪費する。

従って、第6図の論理を用いて実現されているパケットバッファ管理技術の目的は、たとえ2つのパケットが同時に到来したとしても、またたえ各パケットの大きさが可変であるとしても、バッファ34がいっぱいとなってそれ以上の受入れが不可能となるような見込みを減少させて到来データパケット20を収容することである。受信の命令は、チャネルA或はBがデータを取扱っているか否か、或はゾーン1或はゾーン2がデータを記憶しているか否かには関係なく保存される。これは、直列リンクA及びBの高速データ転送速度で、即ち70Mビット/秒で達成されなければならない。

データを受信するために使用されるパケットバッファの半分(4Kロングワード)はパケットのために64までの可変の大きさのバッファを提供し、ゾーン選択配列によって応需基準で利用可能であり、パケットが重なり合って到着しても順次性を維持する。引渡し順序付けは、パケット開示時間、パケット長、或はパケットが受信される経路A或はBには拘わらず、成功したパケット終了時間に対してなされる。従って、アダプタ11の能力を高めてパケットを高速で処理する複数の弾力的な受信データバッファが提供される。

第6図において、パケットバッファ34は2つの受信データゾーン1及び2を有するものと考えられ、結合器10

50

3及び104からの到来データは受信クロスバ110に従って一方のゾーン或は他方のゾーンに割当てられる。クロスバ110は制御装置86内の単なるフリップフロップに過ぎず、セレクト105によって選択された結合器103、104入力に関連してどちらのレジスタ84、85を使用するかを指定する。クロスバ110は、両ライン13及び15が使われていない、すなわち不活動（無搬送波）であることを検出器55が制御回路86に指示すれば、周期的にトグルする。即ち、何れの経路A或はBも何らかのゾーンを使用するために偏重されず、また好ましいことにはゾーンはほぼ平等に満たされる。経路40-1及び40-2はゾーン1及び2への書き込みを（あたかも分離し、且つ同時であるように）概示している。しかし、物理的にはバス40は共用されており、もし2つのパケットが同時に受信されれば書き込みはインターリーブされることを理解されたい。制御回路86内には2つのアドレスレジスタ111、112が含まれており、ゾーン1及びゾーン2のためのヘッドポインタとして機能する。2つのゾーンをアドレスするために使用されるレジスタ84及び85はカウンタであり、インクリメント113回路によってインクリメントされる。以下に説明するように、各ゾーン毎に末尾ポインタ114が含まれている。制御回路86内には比較回路115及び116も含まれており、アドレスレジスタ84或は85の内容が末尾ポインタ114に等しい値に到達すると出力117或は118を発生する。2つのヘッドポインタレジスタ111、112、及び2つの末尾ポインタレジスタ114は、バス60、63及び67を使用してポートプロセッサ36によって書き込む（或は読み出す）ことができる。第8図の論理は、ポートプロセッサによって実行されるコードによって遂行できる（但し速度は制御回路86内の固定論理を使用して高められている。

データパケットは任意の時間にライン13或は15を通して、また経路A或はBを通して外部源から到着し得る。パケット1が経路Aを通して到着し、クロスバ110によってゾーン1に接続されるものとすると、前述のように文字同期の受信によって受信プロセスが開始されると、制御回路54から制御回路86へ制御“同期A”が送られ、ゾーン1のヘッドポインタがレジスタ111からレジスタ84へ複写され、マルチプレクサ70及びバス41（第6図ではアドレス入力41-1として示されている）を介してパケットバッファ34内の次の空きログワードを指し示すアドレスレジスタとして使用される。レジスタ84は、ログワードがパケットバッファ34へ書き込まれる度毎にインクリメントされる。もし受信プロセスが成功裏に終了（CRC誤りが無い、長さがフィールド29Cに等しい）すれば、パケットの全てのログワードがパケットバッファに書き込まれた後にレジスタ84の内容がヘッドポインタレジスタ111へ複写される。

第1のパケットが進行中である時に第2のパケット20が経路Bから到来すれば、それはゾーン2へ供給され

る。ヘッドポインタ112はカウンタレジスタ85へ複写され、レジスタ85が各書き込み毎にインクリメントされるにつれてアドレス入力41-2を介してパケットバッファゾーン2のログワードをアドレスするために使用される。成功裏に完了すると、レジスタ85はこの記憶されたパケットの次のアドレスを差し示し、ヘッドポインタレジスタ112へ複写される。もしパケットが例えばCRCの誤りのために不成功に終了すれば、ヘッドポインタ111或は112は変更されないままとなり、次のパケットはパケットバッファの今書き込まれた不良データ上に書き込まれよう。一方の経路からのパケットの受信の後に、もし他方の経路が現在活動でなければ、制御スイッチ86は経路とゾーンとの間の接続を交換するために受信クロスバ110を切替える。両受信ライン13及び15共使っていないときはクロスバは何れかの経路においてパケットの受信が検出されるまで経路・ゾーン接続を、経路A→ゾーン1;経路B→ゾーン2、そして経路→ゾーン2;経路B→ゾーン1へと絶えず折返し切替える。到来パケットを検出するとクロスバはその時点で偶然あった位置に留まる。これは経路A或はBの一方が反復的に活動となり他方が不活動となる場合に、2つのゾーンにパケットを平等に分配するためになされるのである。何れかのパケットが成功裏に完了すると、制御回路86はゾーン終了信号“Z1終了”或は“Z2終了”をゾーン終了モニタ119Cに供給する。モニタ119Aは制御回路86内のハードウェア内、或はポートプロセッサ及びその局部メモリ59内のソフトウェア内の何れかに実装する。6ビットの深さで単一ビット巾のレジスタファイル120がゾーン選択ファイルとして機能する。8ビット1オブ64書き込みポインタレジスタ121がこのファイル120の1つの位置（1つのビット）を差し示し、同様に1オブ64の読み出しポインタレジスタ122が、このファイル120の1つの位置を指し示す。ゾーン終了モニタ119Aは、Z1終了信号或はZ2終了信号を受信する度に書き込みポインタ121によって指し示されるアドレスに、入力133を介してゾーン1終了に対しては0を、またゾーン2終了に対しては1を書き込み、書き込みポインタレジスタを121をインクリメントさせるので、ポインタ121はファイル120の次の使用されていない1ビットスロットを指し示すようになる。書き込み及び読み出しポインタ121及び122は2つの比較回路123及び124によって絶えず監視されており、もしポインタ121及び122が等しければ“等”出力125が発生し、もしポインタ121と122が等しくなければ“不等”出力126が発生する。もし不等出力126が発生すれば、ポートプロセッサ36へ割込みが供給され、パケットバッファ34内にサービスを必要とするパケットが少なくとも1つ存在することを指示する。この割込みを受信すると、ポートプロセッサ36はバス60を介してレジスタ読み出し動作を実行してゾーン選択ファイル120からゾーン選択出力127を検索する。この出力は読み出しポインタ122によって指し示さ

21

れる位置における1ビット値であり、プロセッサ36はパケットバッファのゾーン1またはゾーン2の何れからデータを取込んだかを告げる。また出力127からのこの読み出しにより読み出しポインタ122が出力128によってインクリメントされ、ゾーン選択ファイル120内の次のエントリを指し示すようになる。この配列によりパケットは受信した順序にポートプロセッサ36によってサービスされるのである。この読み込みがサービス可能である時にポートプロセッサ36によって実行されるルーチンは、プロセッサ36をパケットバッファ内の選択されたゾーン内の新パケットの見出しにアクセスさせてこのデータを検査或は処理のために検索させる。このパケットが検査或は処理され、データムーバBを介してCPU10へ向かわされると（これは裁定及び制御回路108によって設定された優先順位の下でなされるから）、ポートプロセッサはパケット長（パケット20のフィールド25から検索した）をヘッダアドレス（ヘッダポインタ111及び113と一致して局部メモリ59内に維持されている）に付加する。次で、ポートプロセッサ36はその新アドレスを末尾ポインタ114に書き込み、スペースを解放してゾーン管理者論理に戻して必要に応じて再度の使用に備えさせる。パケットの受信中に、もしその時間に使用されているレジスタ84或は85の値が対応する末尾ポインタレジスタ114の値に到達する（比較回路115或は116からの出力117或は118によって表わされる）と、ライン129或は130を介してNAKが制御回路86へ送られ、このパケットのパケットバッファゾーンへの書き込みが停止され、パケットはNAK（否定応答）されることで後列再送される。同様に、もし書き込みポインタ121が読み出しポインタ122と同じ値に到達すると、パケットのための64の全スロットが使用された（ポートプロセッサは検査及び開始データムーバ動作によって受けたパケットとは関係を持たない）ことになりパケットはNAKされなければならないので、等候器即ち比較回路123からの出力はゲート131及び132において出力117及び118と論理和（OR）され、何れかのあふれ状態がNAKを発生する。ポートプロセッサ36によってパケットバッファスペースがゾーン管理者論理に返還されると、末尾ポインタ114がアドレスカウンタレジスタ84及び85を先行するので新パケットはパケットバッファ34内に転送され、ポートプロセッサによるサービスのために利用可能となる。このゾーン管理技術によって、二重受信経路システムにおけるログワード細分性を伴って可変長パケットを一時的に記憶させることができる。バッファの合計数（本例では64）は、ゾーン選択ファイル120の大きさ及びゾーンのために使用されるパケットバッファ34の大きさの両方或は何れか一方によって設定される。本例のように4Kログワードが割当てられている場合には、パケットの平均の大きさは640ログワード（256バイト）である。より大きいパケットバッファ34及びより大きいファイル120を使用することによって、

22

容量を必要のなだけ増加させることができる。

第7図は、第6図の回路によって実施されるゾーン管理機能の動作の論理流れ図である。第1段階はブロック134及び135に示す遊びループであり、もし何れの制御回路A或はBもパケットを受信していなければ、即ち経路回路86が何れかのチャネルが上述の搬送波検出、作動可能化、文字同期のシーケンスを完了したことを見出すために検査してみれば、クロスバ110は各サイクルにスイッチする。もしAかBの何れかが行っていたれば、同期A或は同期B信号が制御回路54から制御回路85へ送られる。何れかの信号がクロスバをそのあった時の状態に留め、段階136の状態に入る。段階136においてはヘッダポインタ111或は112がカウンタ84或は85にロードされる。次でループは段階137へ進み、32ビットのレジスタ103或は104の内容がバス40を介してパケットバッファ34へ書き込まれ、カウンタレジスタ84或は85がインクリメントされる。判定段階138においては受信データ信号が未だに有効であるか否かが検査される。もし諾（YES）ならばループは再実行され、もし否（NO）ならば完全パケットがパケットバッファ内へロードされている。次の判定段階139はパケットが良好であるか否かを判定し、もしCRC検査に失敗すればループは経路140を介して開始点に戻される。もしCRC検査を通過すれば、段階141において比較回路123が検査されてゾーンセレクトファイル120のいっばいであるか否かが判定され、もしいっばいであればパケットは廃棄され、ループは経路140を介して再開される。もしファイル120のいっばいであれば段階142において有効パケットロードが完了される。即ちカウンタ84或は85の内容がヘッダポインタ111或は112へロードされ、ゾーン終了ポインタ119がゾーン選択ファイル120へのどのゾーンがパケットを受信したかを書き込み、そして書き込みポインタ121がインクリメントされる。最終段階143はポートプロセッサ36へ割込みを通知することであり、アクセスサイクルが利用可能になると割込みがサービスを受ける。割込みが通知された後、割込みが直ちにサービスを受けるか否かに拘わらず全ループは経路140を介して再び開始される。このようにしてゾーンはパケットで満たされ始め、ポートプロセッサは記憶されたパケットにサービスし続けるべく試行し、次でムーバBの動作を開始させてパケットをCPU10へ送る。パケットバッファ内のゾーンは2つの分離した円形バッファとして作用する。それは、各ヘッダポインタがそれぞれの最大アドレス値に到達した後に最低アドレスから始まるように戻されるからである。ゾーン選択ファイル120はパケット受信の完了の順序の履歴サイロとして作用するので、たとえ単一の源からの一組のパケット（CPUが順序にあることを予期しているあるシーケンスを構成している）が無差別に、部分的にゾーン1に、及び部分的にゾーン2に導かれたとしても、ポートプロセッサはそれらにサービスし、それらを順番にオフロードする。

23

第8図の能動ハブ17の詳細図である。各ホストCPU或はノード10からの送信及び受信ラインはハブの対応受信入力145及び送信入力146に接続される。ハブは2つ存在しており、ハブ17は全てのAチャネル用でハブ18は全てのBチャネル用であることに注意されたい。各受信入力145（これはノードの送信ライン14或は16である）は第3図のワイヤインタフェース回路30で説明したようにマンチェスタ・2進コード変換器147（クロック回復回路及び、搬送波及び同期検出回路を含む）に接続され、直列並列変換器148はバス149上にバイト巾のデータを発生する。制御プロセッサ150は搬送波検出及び同期検出信号を受け、次で宛先アドレスが何であるかを決定するために到来パケットのフィールド24〜28を受入れて、パケットを実時間で宛先ノードへ導くことを試みる。宛先ノードが自由（使用されない）となるであろう場合にはハブは後刻の経路指定のためにパケットを記憶することとはせず、到来パケットは直ちに経路指示し、そうでない場合にはパケットを廃棄する。到来データはバス149によってスイッチマトリクス151に結合される。スイッチマトリクス151は少なくとも2つのジャンクション152及び153によってハブ17の他の全てのチャネルに接続されている。スイッチマトリクス151はバス154を介して中央制御プロセッサ150によって制御され、源ノードからのパケットのための入力145をアドレスされた宛先ノードへ接続し、同時に宛先ノードの入力145を源ノードの出力146へ接続するクロスバススイッチとして機能するので、パケットを受信すると直ちに肯定応答を送り返すことができる。制御プロセッサ150は、宛先ノードが話中であるか否かを（搬送波の検出によって）検出することができ、もし話中であればそのパケットは廃棄される。流れ制御信号は源155から供給され、並列並列変換器156及び2進・マンチェスタコード変換器157を通して送信出力146（従って受信ライン13）への送出を制御する。制御プロセッサ150の制御下にあるセレクト158は、出力146が流れ制御源155からのものであるのか、或はスイッチマトリクスからバス159を通ったパケットデータであるのかを決定する。流れ制御信号は、宛先チャネルが話中であるか、或はジャンクション152及び153が共に話中であれば送られる（2つのジャンクションだけを用いると同時に2つのメッセージを経路指定することができる。従って付加的なジャンクションを用いればより多くのトラヒックを取扱うことができる）。制御プロセッサ150は廃棄されるべきパケットの源アドレス及び宛先アドレスを記憶することができるので、もし源が再送するのであれば宛先が自由（使用されない）になった後のある時間に亘って源ノードはある優先順位を有する。

少数のノードを有するネットワークは、第8図の能動ハブの代りに受動ハブ17或は18を用いて動作させることができる。受動ハブは、第9図に示すように単なる星状接続であってよい。全てのノードからの全ての送信ライ

24

ン14は変成器の一次巻線に接続され、全てのノードへ行く全ての受信ライン13は二次巻線に接続される。ノードは搬送波検知多重アクセス/衝突検出（CSMA/CD）基準で動作する。従って、送るべきパケットを有するノードは先ずその受信ライン13上に搬送波が存在するか否かを検知し、もし存在すればそのノードはハブが話中であることを知るので、そのノードは搬送波が存在しないくなるまで待機する。即ち、任意の時点においては、1つのノードだけが送信可能であり、1つのノードが受信する。もし2つのノードが同時に無搬送波を検知して送信を開始すれば、各ノードはその入力ライン13上の到来パケットを読み、自身の出力パケットではない雑音を検出し、この場合両ノードはパケットの送信を停止して無作為時間（或は合衆国特許4,560,985号による最適化された時間）の間待機し、これらのノードの一方が他方よりも前に開始する確率を高めて再送するので別の衝突は回避される。

第8図は能動ハブを使用するシステムにおいては、中庸のトラヒックの下で、またラインには合理的な数のノードが接続されている場合、宛先ノードが使用されておらず且つスイッチマトリクス151が使用されていないで接続がなされる確率は受け入れ得るものである。即ち、源ノード10がパケット20を送る時に利用可能であるか否かの事前検査は行われず、その代りに受信ラインに搬送波が検出されなければパケットは送信される。源ノード10はパケット20の終端部の終りが送信された後所定のタイムアウト期間待機し、もし肯定応答パケットを受信しなればパケットが宛先ノードに受信されなかったものと見做す。或は、もし肯定応答パケット20は受信したがそれがフィールド24内にNAK型を有していれば、パケットは受信されたがバッファすることができなかったことが分る。これらの何れの場合にも、源ノード10（プロトコルを規定するポートプロセッサ36内において実行されるコードによって）は直ちに、或は合衆国特許4,560,985号に記載されている型の優先順位の後戻りの後に再送を開始する。もし、スイッチ或はジャンクション152、153が話中であるか、或は宛先ノードのチャネルA及びBが共に他の送信或は受信のために話中の場合に、スイッチ151が宛先への接続を行うことができれば、制御プロセッサ150はセレクト158を付して受信ライン13或は15上のノードへ流れ制御信号を送り返さる。流れ制御信号は、パケット20に先行する同期文字のように16進数の55文字で作られているので、文字同期或はデータフィールドを有していないパケットの始めのように見える。従って、第10図に示すような見出しタイムアウト回路165がインタフェース制御回路54内に含まれている。この回路165は受信状態と送信状態に対して異なる応答をする。送信動作を企図しない場合には、回路165は同期検出器55からの入力166に応答して搬送波を受信した時にタイムアウトを開始し、選択されたタイムアウト

25

ト期間内に文字同期即ち16進数の96は受信されない。この場合ライン167上に受信打ち切り信号が供給され制御回路に直列並列変換器48へのデータのクロッキングを終了せしめるので受信機能は打ち切られる。この型の打ち切りは、例えば宛先アドレスが不良(変形している、或はこのノードのためのものではない)である時にも発生する。送信時の動作のモードは一実施例による性能に重要な改良をもたらす。制御回路54へのコマンドによって送信が開始されると、回路165へ入力168が供給され回路165は再び入力166に応答して搬送波が検出された時にタイムアウトを開始する。次で16進数の96が選択されたタイムアウト期間内に受信されなければ出力169上に送信打ち切り信号が発生する。受信及び送信の何れのモードにおいても、回路165はこのチャネルの直列並列変換器48の内容に応答するデコーダ171から入力170を受ける。第10図の回路はA及びBの両チャネルに設けられている。

第10図の送信打ち切り回路によって提供される改良された動作は第11図を参照すると理解できる。第11図の時刻 t_0 にノード1(第1図のCPU10の1つ)がノード2(別のCPU10)へ比較的短いパケット(例えば64バイト)を送り始め、また時刻 t_1 にノード3へノード2へ2Kバイトのパケットの送信を開始したものとする。また、ノード2が他のチャネルA或はBによって他のトラヒックを行っているか、或はハブのスイッチが話中であってノード3からノード2への送信がノード2へ届くことができず、この話中状態がハブによって認識された直後の時刻 t_2 にハブ17或は18によって流れ制御がノード3へ戻されたものとする。送信打ち切り機能が設けられなければ、ノード3は、全パケットがハブ17或は18において廃棄されるとしても、時刻 t_3 のパケットの終りまで2Kバイトのパケットを送信し続けよう。肯定応答タイムアウトまでにノード3が肯定応答パケットを受信しない場合には、時刻 t_4 にパケットを再送する。即ち時刻 t_4 から t_5 までの時間は無効送信で浪費され、またこのノードのこのチャネル自体もこの期間不必要に話中となり他のトラヒックを待機させることになる。しかし、第11図に示すように流れ制御にตอบสนองする送信打ち切り機能を使用すると、時刻 t_5 に開始されるノード3の送信は流れ制御信号を認識した時刻 t_2 に打ち切れ、ノード2への自由経路が見出されるであろう(例えばノード1からノード2への64バイトのパケットが完了し、肯定応答された)と考えられる時刻 t_6 に2Kバイトのパケットの送信が再試行される。この場合、ノード2及びノード3の利用率は高いので総合的潜在的スループット或は帯域巾は大きくなる。それにも拘わらずこの性能改善は、流れ制御が存在せずまた打ち切り機能も発生しない受動ハブを使用するシステム、及び回路にこの改良を有しておらず(例えば旧式の既存設備)流れ制御が第11図の $t_4 \sim t_5$ 状態のように無視されるノードを有するシステムと両立可能である。

以上に本発明を特定の実施例に基いて説明したが、こ

26

の説明が本発明を限定するものではない。当業者ならばこの説明から上述の実施例に対する種々の変更並びに本発明の他の実施例が考えられよう。従って特許請求の範囲はこれらの変更或は実施例を本発明の範囲内に含めることを企図しているのである。

【図面の簡単な説明】

- 第1図は本発明の特色を使用できる二重経路コンピュータ相互接続システムのブロック線図、
第2図は第1図のコンピュータ相互接続システム内に使用できるパケットの書式の図、
第3図は第1図のコンピュータ相互接続システム内に使用されるアダプタの1つのブロック線図、
第4図は第3図の装置内に使用される制御回路35のブロック線図、
第5図は第1図乃至第4図のシステムにおけるパケットバッファアクセスサイクルのイベント対時間を示すタイミング図、
第6図は第1図乃至第4図のシステム内のゾーン管理者の論理回路図、
第7図は第4図のメモリ制御回路35内の第6図のゾーン管理者によって実行される状態の論理流れ図、
第8図は第1図のシステム内に使用される能動ハブのブロック線図、
第9図は第1図のシステムに使用される別の実施例として受動ハブの回路図、
第10図は本発明の一実施例による第1図乃至第9図のシステムに使用される送信打ち切り回路のブロック線図、及び
第11図は第1図乃至第10図のシステムにおけるパケット送信動作のためのイベント対時間を示すタイミング図。
10……CPU(ノード)、
11……通信アダプタ、
12……システムバス、
13,15……直列受信ライン、
14,16……直列送信ライン、
17,18……中央ハブ、
20……メッセージパケット、
21……同期部分、
22……見出し及び情報部分、
23……終端部、24……型フィールド、
25……長さフィールド、
26……アドレスフィールド、
27……アドレスフィールド、
28……源アドレスフィールド、
29……データフィールド、
30……ワイヤインタフェース、
31……バスインタフェース、
32,33……データマニパ、
34……パケットバッファ、
35……メモリ制御回路、

27

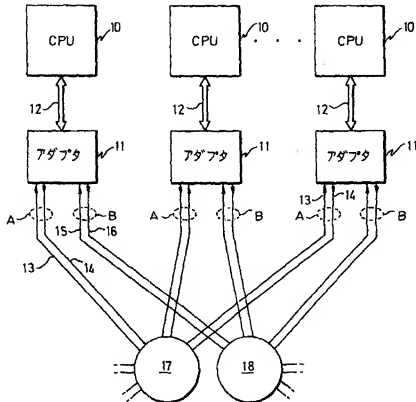
36……ポートプロセッサ、
 37……プログラム記憶装置、
 47,156……並列直列変換器、
 48,148……直列並列変換器、
 50,157……2進・マンチェスタコード変換器、
 51,147……マンチェスタ・2進コード変換器、
 52……クロック検出器、
 54……制御回路、55……検出器、
 59……局部メモリ、62……制御回路、
 70,78,81,82,92,99,105,158……マルチプレクサ（セ
 レクタ）、
 71,72,73,84,85,90,93,94,100,109,111,112……レジ
 スタ、
 86……送信／受信制御回路、
 89……メモリマップ、
 101,102,103,104……結合器、

28

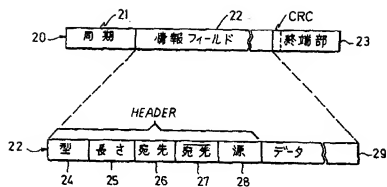
* 108……裁定及びメモリ制御回路、
 110……受信クロスバ、
 111,112……ヘッドポインタ、
 113……インクリメント回路、
 114……末尾ポインタ、
 115,116,123,124……比較回路、
 119……ゾーン終了モニタ、
 120……レジスタファイル、
 121……書き込みポインタレジスタ、
 122……読み出しポインタレジスタ、
 150……制御プロセッサ、
 151……スイッチマトリクス、
 155……流れ制御源、
 165……タイムアウト回路、
 171……デコーダ、

*

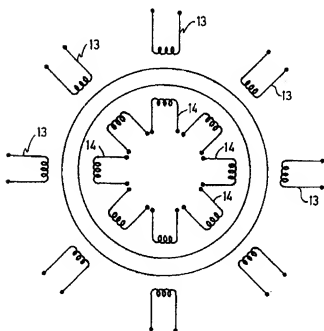
【第1図】



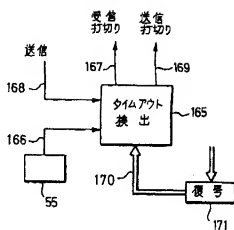
【第2図】



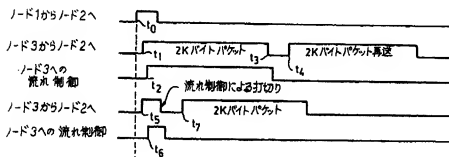
【第9図】



【第10図】

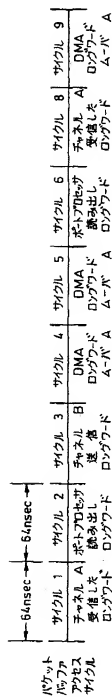


【第11図】

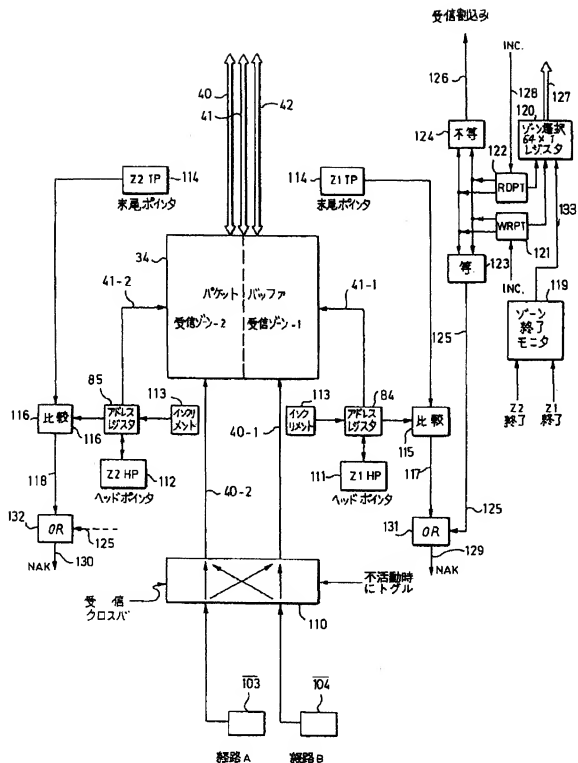


[illegible]

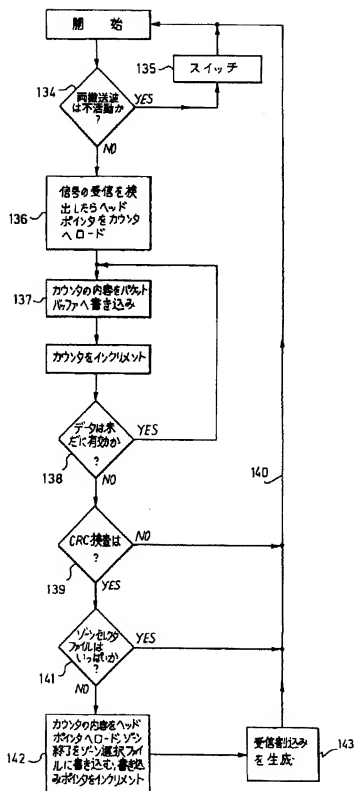
【第5図】



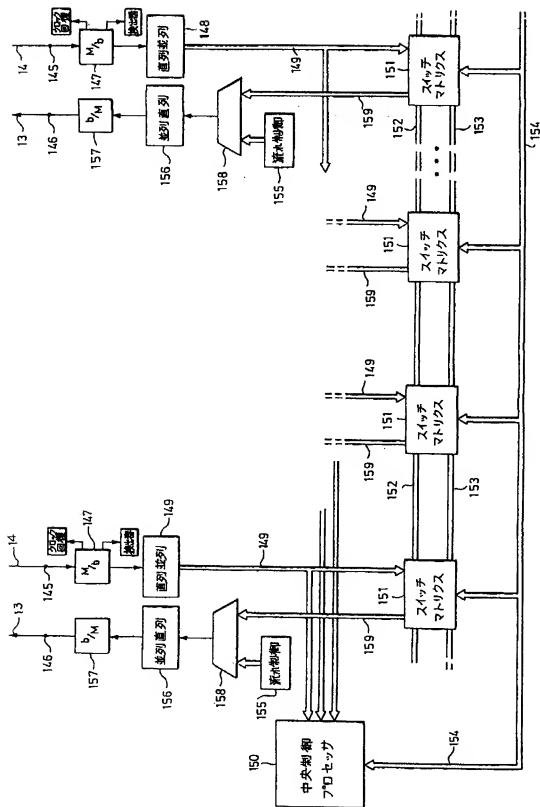
受信割込



【第7図】



【第8図】



フロントページの続き

(72)発明者 ボール エイチ クラーク
 アメリカ合衆国 マサチューセッツ州
 01581 ウエストボロー ウォーレン
 ストリート 64エイ

(58)調査した分野(Int.Cl.⁸, D B名)

G06F 15/16

W P I

E P A T